

CPU-Update 2011

Dualcore – Manycore – Hypercore?

best OpenSystems Day
Mai 2011

Unterföhring

Wolfgang Stief
wolfgang.stief@best.de

Senior Systemingenieur
best Systeme GmbH
GUUG Board Member



■ Trends von 2010

Was war? Was war nicht? Warum nicht?

■ Implementierungen der Chipschmieden

Oracle (UltraSPARC), Fujitsu (SPARC64), IBM (POWER, Cell), Intel (EM64T, Itanium), AMD (AMD64), ARM (Cortex), CAS ICT (Godson)

■ Technologien für die nächsten zwei Jahre

Wohin geht die Reise?

Wie gut war die Kristallkugel?

- Verlustleistung wird kleiner werden
granulares Power-Gating, Systemdesign
- Multicore-Support durch Compiler/Apps/OS
kommt langsam (z. B. Linux BKL)
- einheitliche, billige Systeme für Clouds
zaghaf (z. B. Tyan FM65-B5511 → 18 nodes @ 4U rack-mount)
- weiterer/verbesserter Support für Virtualisierung
zurückhaltend (z. B. Intel TXT)
- mehr Funktionen durch höhere Integration
zaghaf (AMD APU, AMD Llano, Intel Sandy-Bridge, Ivy-Bridge)
- CPUs für mobile/embedded devices (Stromverbrauch!)
ARM: in Q1/2011 ~ 1.85 Mrd. CPUs

■ Trends von 2010

Was war? Was war nicht? Warum nicht?

■ Implementierungen der Chipschmieden

Oracle (UltraSPARC), Fujitsu (SPARC64), IBM (POWER, Cell), Intel (EM64T, Itanium), AMD (AMD64), ARM (Cortex), CAS ICT (Godson)

■ Technologien für die nächsten zwei Jahre

Wohin geht die Reise?

■ SPARC

Oracle UltraSPARC T3/T4, ~~Fujitsu SPARC64 VII+VIII~~

■ IBM

POWER, ~~Cell Processor (Xbox, Sony Playstation)~~

■ Intel

Itanium, Xeon (Westmere, Sandy-Bridge)

■ AMD

Opteron (Bulldozer)

■ ARM

Cortex

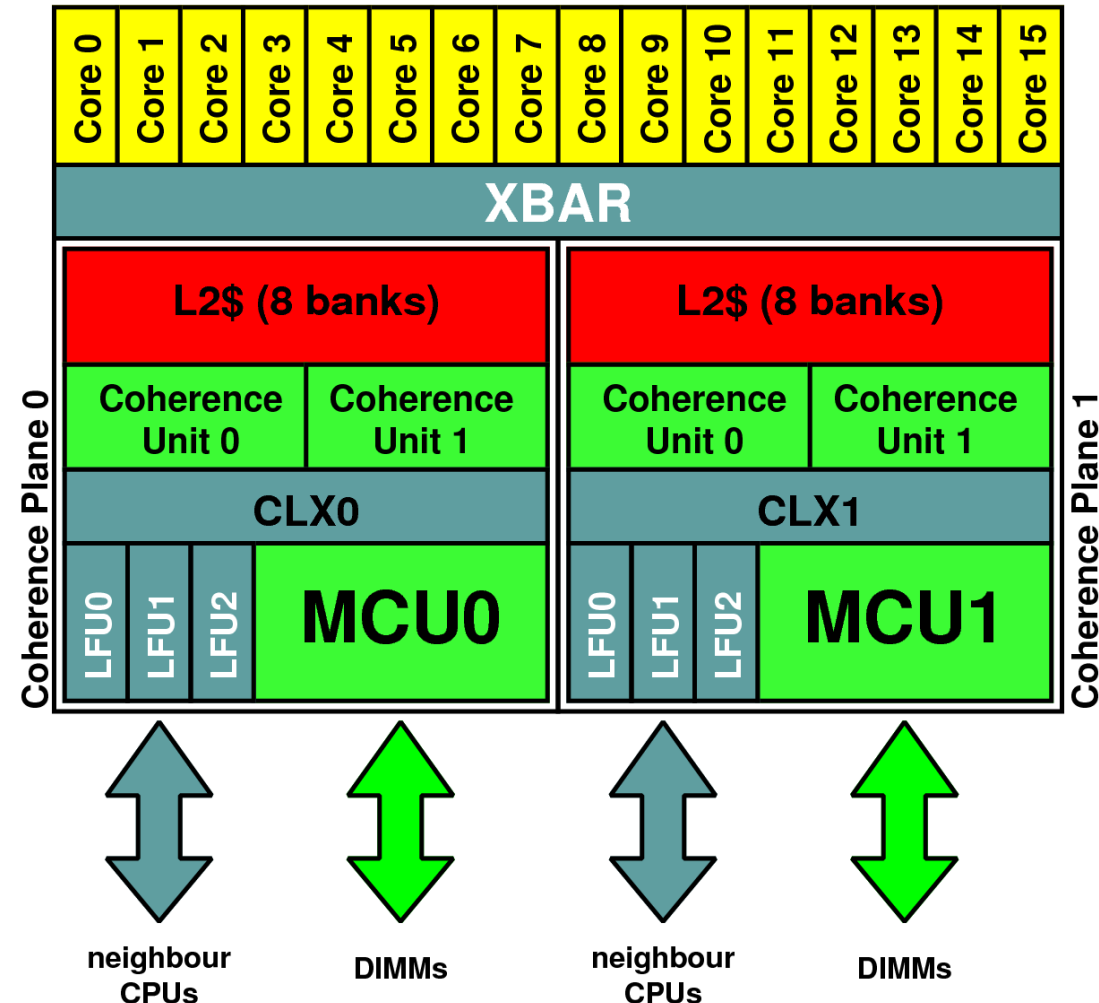
■ Chinese Academy of Sciences

Godson

UltraSPARC T3 (Rainbow Falls)

- 40nm, 377mm², SoC
- 1.6 GHz
- lieferbar seit Q1/2011
T3-1, T3-2, T3-4, T3-1B
- 16 cores / 8 threads
→ 128 threads/socket
- 6MB L2\$ (XBAR)
- 2x PCIe + 2x 10 GBE on die
- 4-way glueless system
- umfangreiches „clock gating“
→ Verlustleistung ~ wie T2+
- Crypto Engine je Core, „wire speed“

<http://www.oracle.com/us/solutions/performance-scalability/sparc-t3-crypto-41311-bmark-359261.html>



- „shrink“ von T3
- socketkompatibel zu T3
- 8 core / 8 threads, dafür schneller
- verbessertes Core-Design → bessere single thread Leistung
- Roadmap sagt: 3x T3 @ single strand
→ 5 GHz!?
- 4-way glueless system
- weiter verbesserte Crypto-Engine
 - „initiate 20.000 secure connections per second“
 - knapp 15 GB/s encrypt/decrypt Transfer

*Quelle: Interview mit Rick Hetherington, Oracle Vice President Hardware-Entwicklung
<http://www.oracle.com/us/corporate/innovation/innovator-hetherington-191304.html>*

- neuer Core (was früher mal VT hieß?)
- 28nm
- neuer Memory Controller
- neues I/O Subsystem
- größerer L2/L3 Cache
- 16 Cores

■ SPARC

Oracle UltraSPARC T3/T4, ~~Fujitsu SPARC64 VII+VIII~~

■ IBM

POWER, ~~Cell Processor (Xbox, Sony Playstation)~~

■ Intel

Itanium, Xeon (Westmere, Sandy-Bridge)

■ AMD

Opteron (Bulldozer)

■ ARM

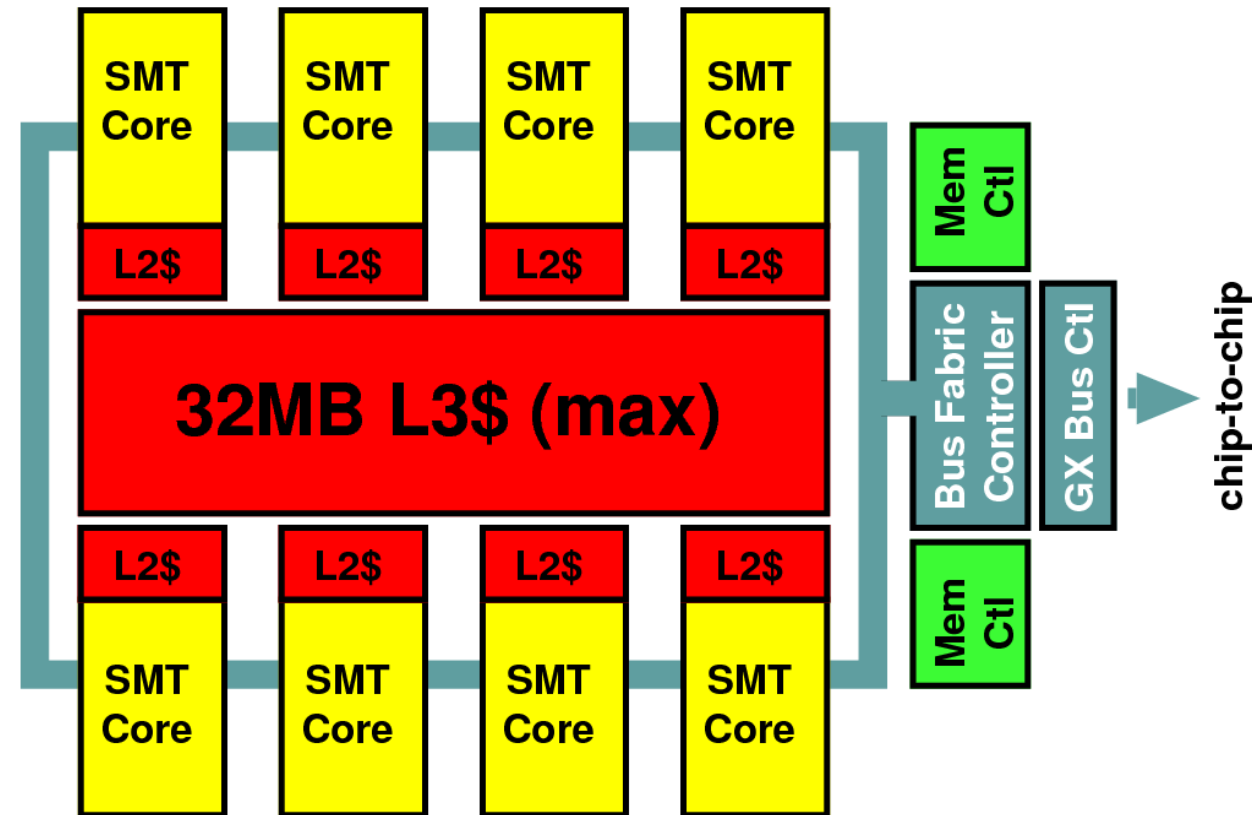
Cortex

■ Chinese Academy of Sciences

Godson

IBM Power 7

- 45nm, 567mm²
- max. 4.25 GHz
- 1.2 Mrd. Transistoren
- 4/6/8 core / 4 threads
- 256 kB L2\$/core
4 MB L3\$/core
- 10 LPAR/core
2 MemCtl/socket
- Turbo Core Mode
- Active Memory Expansion (AIX 6.1) → „ZIP“ im RAM
- Active Memory Sharing (zw. Partitions)



■ POWER8

- in Entwicklung, derzeit keine weitere Details bekannt
- soll erster in Serie gefertigter „3D-Chip“ der Welt sein

■ POWER z196

- 5.2 GHz (derzeit „schnellste“ CPU im Markt, 260W)
- 45nm, 512mm², 8 Core, POWER7
- 30MB DRAM (!) on die
- 6 CPUs / Module („Book“), 1800W / Book

■ SPARC

Oracle UltraSPARC T3/T4, ~~Fujitsu SPARC64 VII+VIII~~

■ IBM

POWER, ~~Cell Processor (Xbox, Sony Playstation)~~

■ Intel

Itanium, Xeon (Westmere, Sandy-Bridge)

■ AMD

Opteron (Bulldozer)

■ ARM

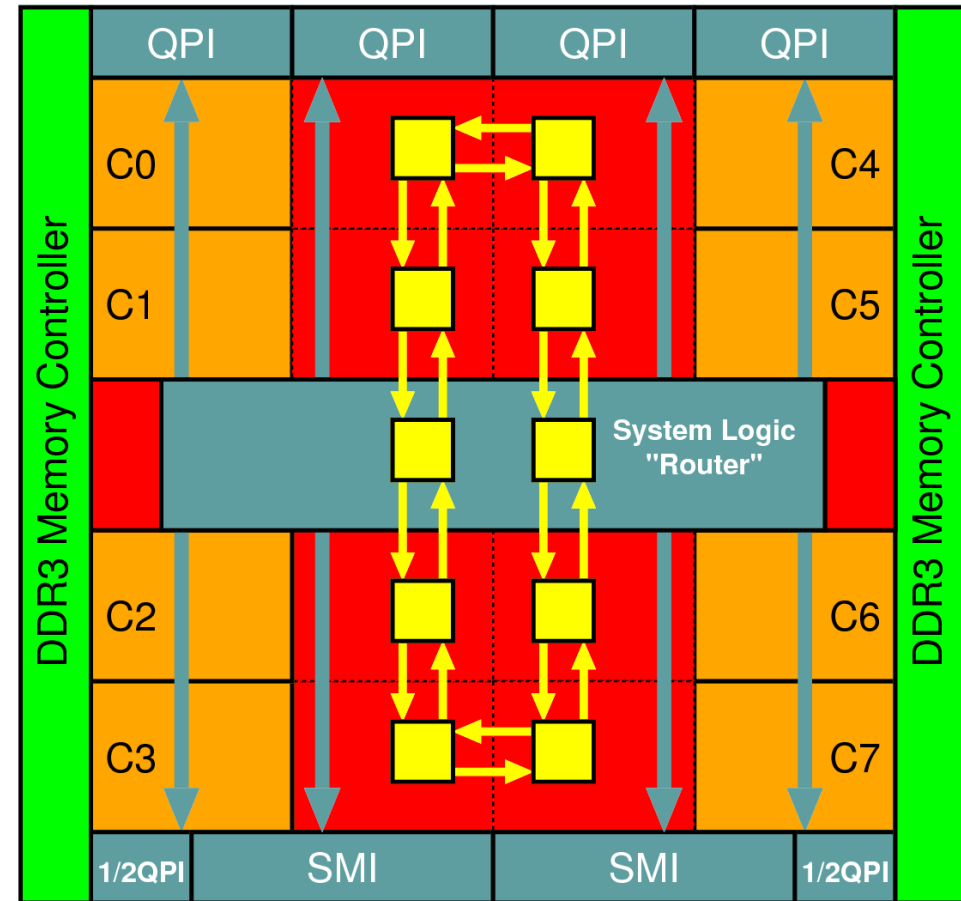
Cortex

■ Chinese Academy of Sciences

Godson

Intel Itanium (IA-64) – Poulson

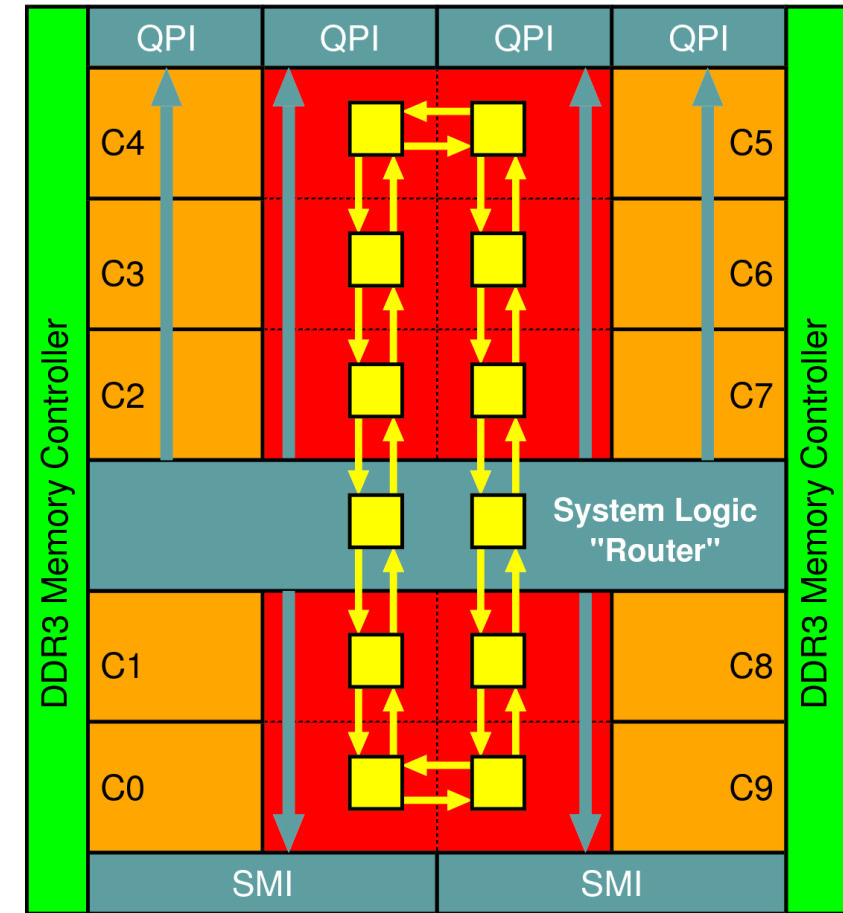
- 32nm, 588mm²,
3.1 Mrd. Transistoren
- 8 core / 2 threads (später 4?)
- neue Microarchitektur
→ tick + tock
- sockelkompatibel
- 32MB L3\$
alles \$ (L1, L2, L3) mit ECC
- 2x SMI, 6.4 GT/s (SMP)
2x DDR3 Controller
5x QPI, je 6.4 GT/s (80/64 GB/s aggr.)
- je Socket 512GB RAM adressierbar



- 8x 4MB LLC / Directory Cache
- LLC Ring Interconnect (L3\$)

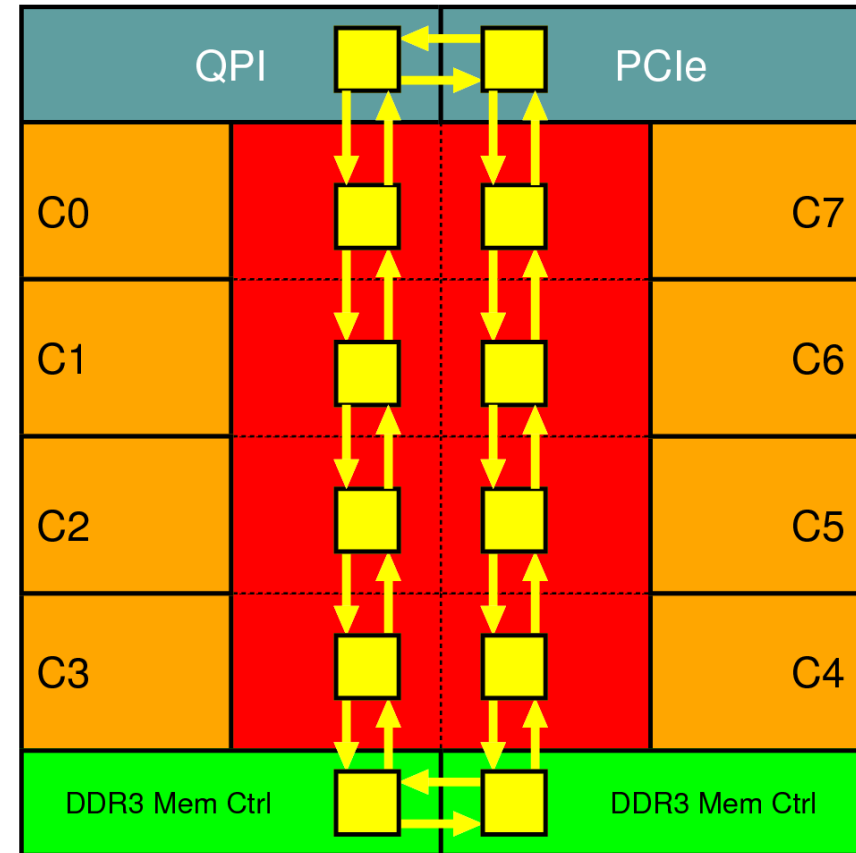
- umfangreiches Power Management
 - 7 „power planes“ (u. a. je eine plane / 2 core)
 - ca. 1/5 Stromverbrauch Tukwila
 - 170W TDP max.
- „core-out“ Design, L3\$ ring interconnect (700GB/s)
- erweiterte/verbesserte RAS-Features
- „no need to recompile“
- geplant für Anfang 2012, Nachfolger Kittson (2014)
- Anwender
 - HP: NonStop, OpenVMS, HP-UX
 - Bull: GCOS (Mainframe)
 - NEC: ACOS (Mainframe)

- 32nm (tick)
- 10 core / 2 threads
12-core-Design, aber zu wenig Platz
- Ring → IA-64
1 Hop je Clock-Tic
- 4 QPI, je 6.4 GT/s
- 2x DDR3 Controller on die
2 Channels je Controller
- 8 Sockets max
→ 4TB (!) RAM im System
- ~40% mehr Performance als Xeon 7500
- Turbo Boost, AES, TXT, RAS-Features von IA-64



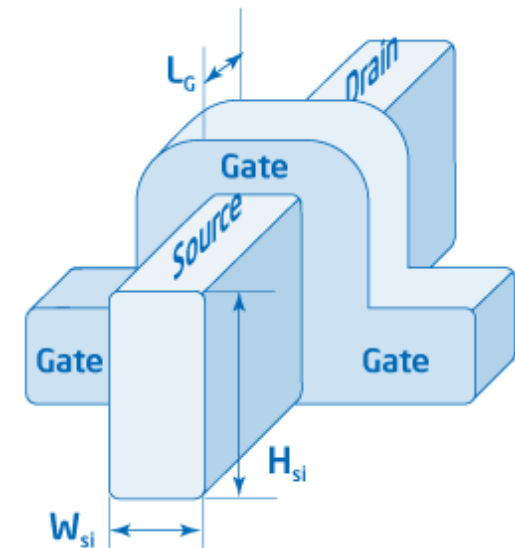
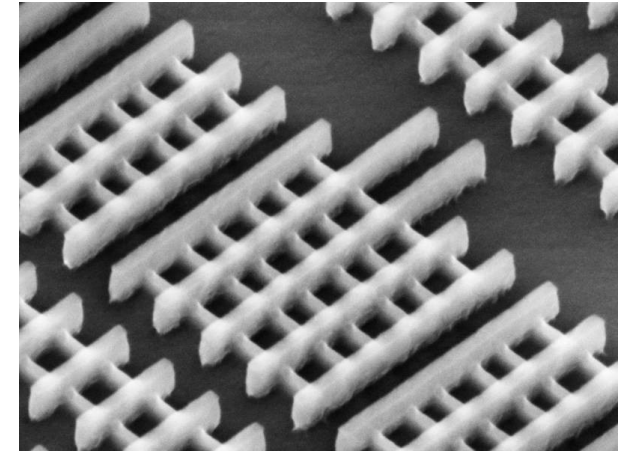
- Last Level Cache (LLC/L3\$)
- LLC Ring Interconnect (L3\$)

- 32nm, ca. 400mm²
2.2 Mrd. Transistoren
- 8 core / 2 threads
12-core-Design vorbereitet
- shared 8MB L3\$
- 1 QPI, 6.4 GT/s
2x DDR3 Controller
PCIe-Controller on die (20x)
- 6/12 shader GPU (GT1/GT2)
- Chipsatz Z68
 - Übertaktungsfunktionen
 - integrierte Grafik + Grafikkarte
 - „smart response“ = eine Art *tiered storage*, Flash + Disk



- Last Level Cache (LLC/L3\$)
- LLC Ring Interconnect (L3\$)

- 22nm
- Ende 2011/Anfang 2012
- PCIe 3.0
 - 16x an CPU
 - 8b10b (PCIe 2.0) → 128b/130b (PCIe 3.0)
 - ca. doppelte Bandbreite zu PCIe 2.0
- USB 3.0 + Thunderbolt Support
- GPU mit 16 Execution Units
- AVX + DirectX 11 Support
- FinFET → „3D“-Transistor, Tri-Gate
 - schaltet schneller bei kleinerer Spannung
 - weniger Leckstrom (ca. 50% weniger als aktuelle 32nm)
 - seit 2002 in Entwicklung, in 2006 für 2012 angekündigt



- „Ablösung“ für Firewire/USB
- ursprünglich nur optisch geplant (Lightpeak)
- bidirektional, seriell, dual-channel, Kupfer
- initial 10Gb/s (ca. 2x USB 3.0)
- kann Display Port und PCIe, multiprotokollfähig
- 6 Devices daisy-chained, 10W max.
- "FireWire is going to be blasted away, that's for sure."
The Register
- erste Implementierung in Apple MacBook Pro

■ SPARC

Oracle UltraSPARC T3/T4, ~~Fujitsu SPARC64 VII+VIII~~

■ IBM

POWER, ~~Cell Processor (Xbox, Sony Playstation)~~

■ Intel

Itanium, Xeon (Westmere, Sandy-Bridge)

■ AMD

Opteron (Bulldozer)

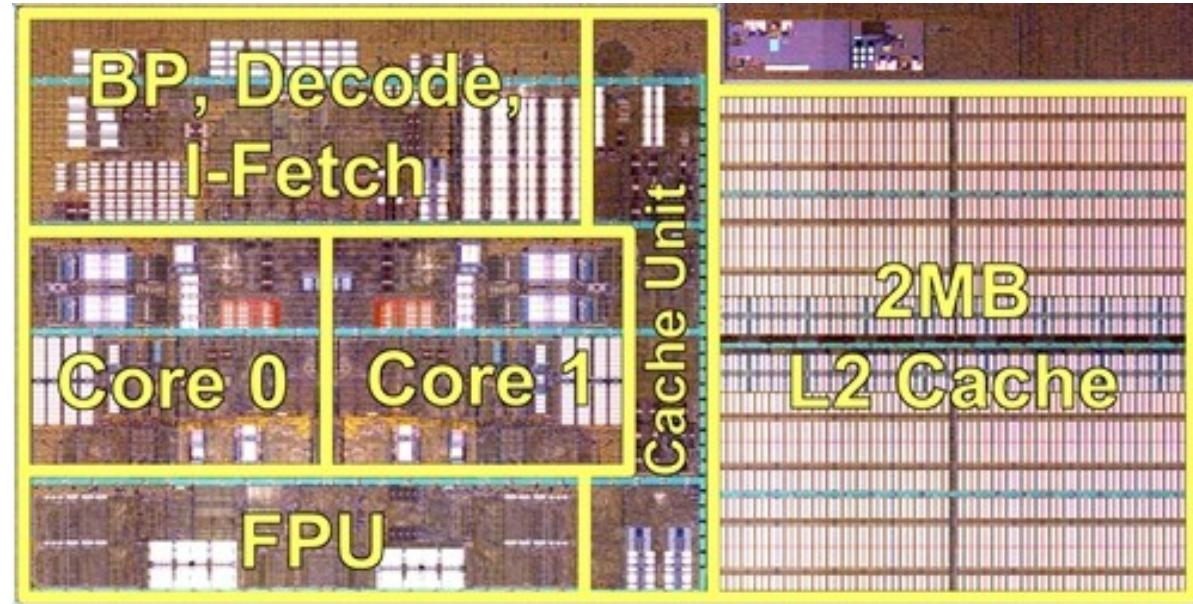
■ ARM

Cortex

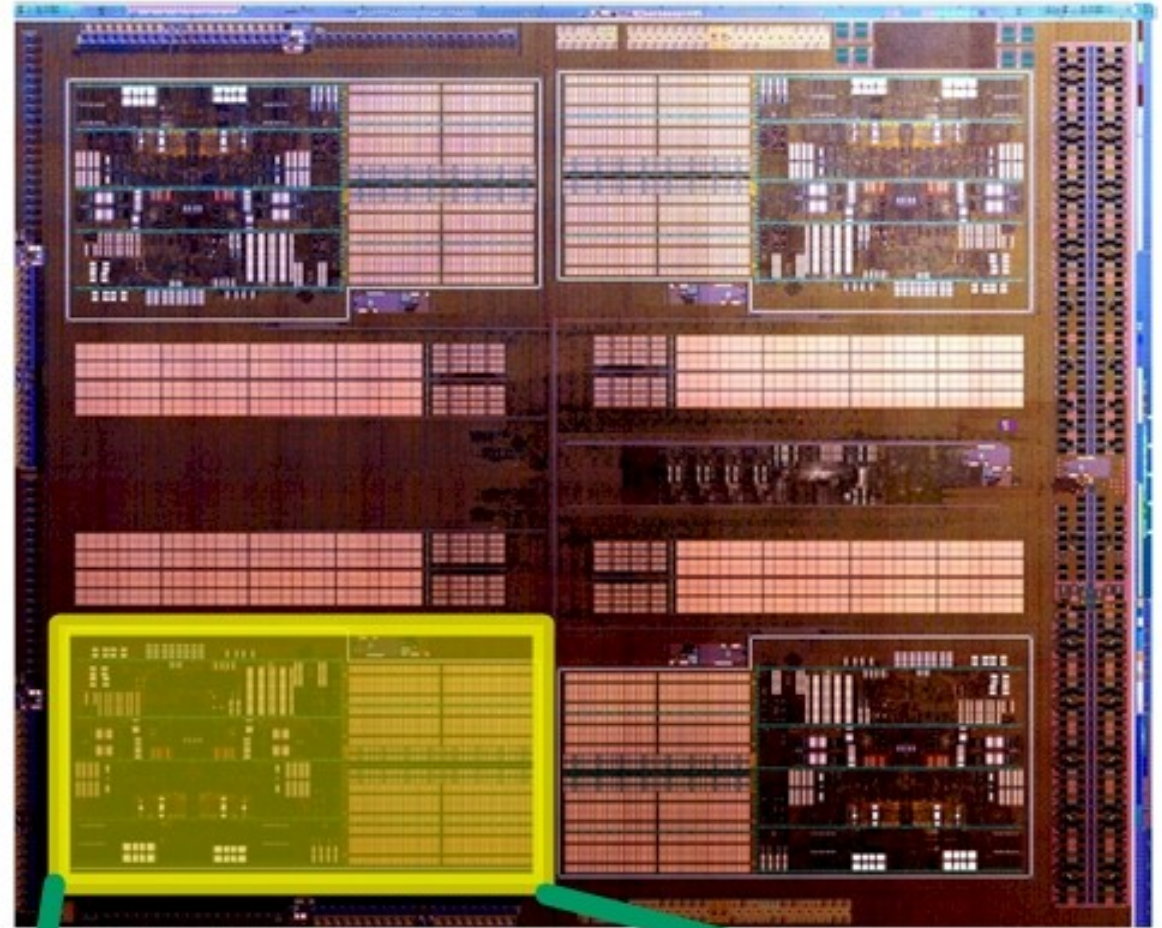
■ Chinese Academy of Sciences

Godson

- 32nm, 30.9mm² je 2-core
213 Mio. Transistoren
- 3.5GHz+, 125W
- 8MB L3\$
- power gating pro core
module bis 0W
- 2x128bit FPU je 2-core
→ 2x64bit double precision, 4x32bit single precision
→ shared, locking
- Turbo Core Mode → ca. +500Mhz max.
- SSSE3, SSE4.1, SSE4.2, AVX, AES
- ca. 80%-90% Rechenleistung K10 je 2-Core-Modul



- **Valencia**
 - 4 Module → 8 Cores
 - shared L3\$, MMU
 - shared Northbridge
 - Mitte 2011
- **Interlagos**
 - 2x Valencia im Gehäuse
 - Multisocket
 - später Sommer 2011
- **Zambezi**
 - 4-8 Core („kleine Variante“)
 - Mitte 2011
- **Terramar**
 - bis 20 Cores
 - 2012



■ SPARC

Oracle UltraSPARC T3/T4, ~~Fujitsu SPARC64 VII+VIII~~

■ IBM

POWER, ~~Cell Processor (Xbox, Sony Playstation)~~

■ Intel

Itanium, Xeon (Westmere, Sandy-Bridge)

■ AMD

Opteron (Bulldozer)

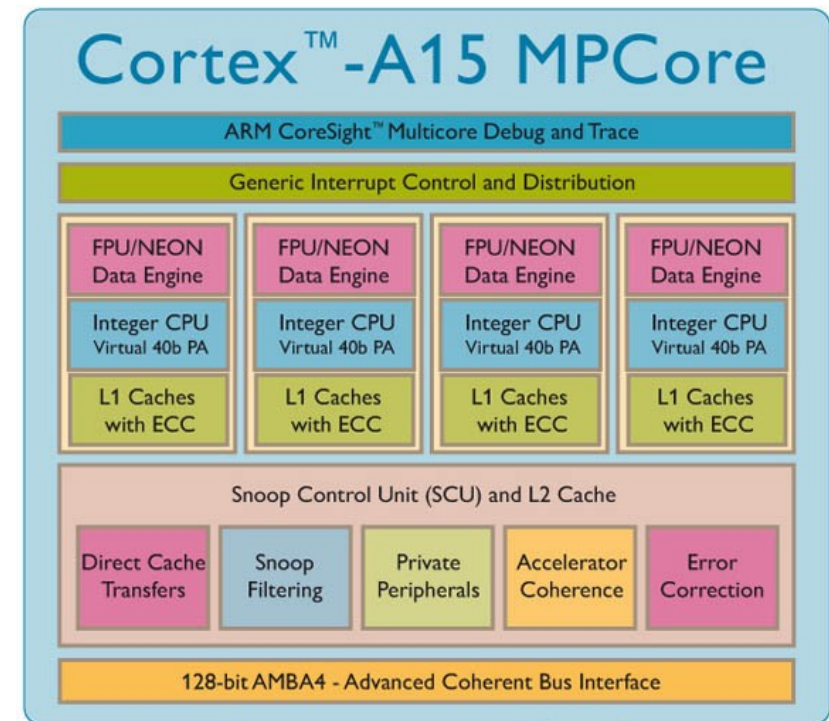
■ ARM

Cortex

■ Chinese Academy of Sciences

Godson

- Mobile Devices (Smartphones, Tablets), Embedded, Industrie
- in Q1/2011 ca. 1.85 Mrd. Einheiten verbaut
- IDC: ~13% @ PC Markt in 2015
→ Portierung Windows 8 durch Microsoft
- aktuell: Cortex-A9
→ 1-4 Cores, 6.7mm² (incl. L1\$)
→ 1.9 W bei 2 GHz
- ca. 2012: Cortex-A15
→ max. 16 Cores
→ <5 W bei 2.5 GHz
→ 32bit Core, 40bit Adressen
- Lizenznehmer:
Samsung, nVIDIA, NEC, Qualcomm, TI u. a.



■ SPARC

Oracle UltraSPARC T3/T4, ~~Fujitsu SPARC64 VII+VIII~~

■ IBM

POWER, ~~Cell Processor (Xbox, Sony Playstation)~~

■ Intel

Itanium, Xeon (Westmere, Sandy-Bridge)

■ AMD

Opteron (Bulldozer)

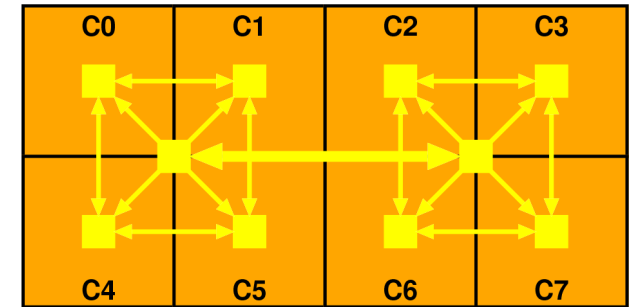
■ ARM

Cortex

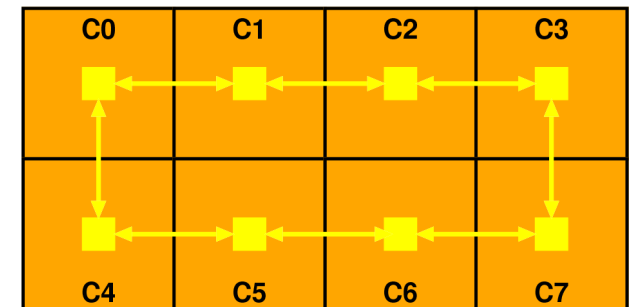
■ Chinese Academy of Sciences

Godson

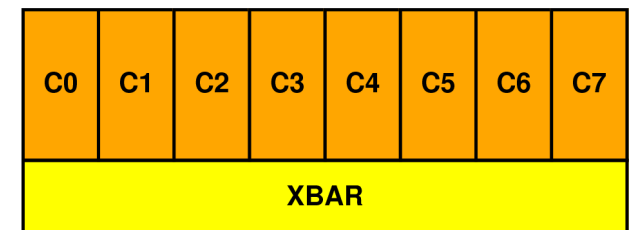
- 65nm, 300mm²
582 Mio. Transistoren
- 8cores, 1.05 GHz
MIPS64 (464V)
- 7. Inkarnation (seit 2001)
- massives Gating (Clock u. Mode)
→ ca. 40W → 3.2 GFLOPS/W
- ca. Herbst 2011
→ „Dawning 6000“ Supercomputer
- ca. 200 Instruktionen f. x86-Emulation
- DDR2/DDR3 Memory Interface



Godson-3B



Poulson, Westmere, Sandy-Bridge, IBM Cell



UltraSPARC T (GMT)

■ Trends von 2010

Was war? Was war nicht? Warum nicht?

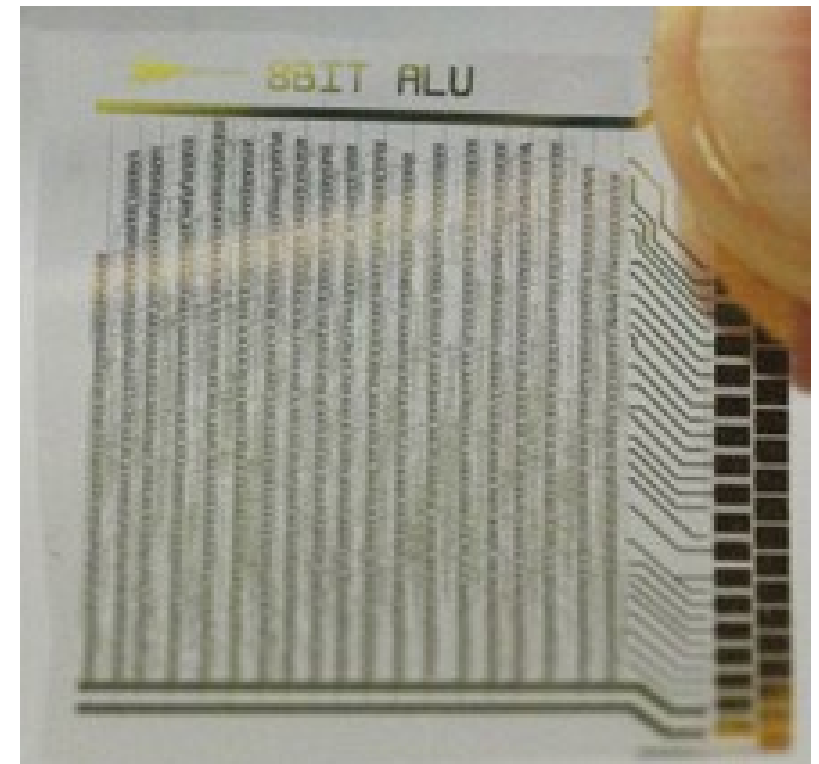
■ Implementierungen der Chipschmieden

Oracle (UltraSPARC), Fujitsu (SPARC64), IBM (POWER, Cell), Intel (EM64T, Itanium), AMD (AMD64), ARM (Cortex), CAS ICT (Godson)

■ Technologien für die nächsten zwei Jahre

Wohin geht die Reise?

- noch kleinere Strukturen (18nm), noch mehr Cores (40+)
„because we can“, „Cores sind das neue MHz-Rennen“
- „3D“-Chips (Intel Ivy-Bridge)
- neue Materialien / Verfahren
 - Exportbeschränkungen China
 - Schürfrechte Lithium @ Erzgebirge
- Plastik-CPUs
 - 2cm² @ 25µm Folie (B/NL)
 - 4000 organische Transistoren
 - 8bit, 6 Hz, 1 Programm, hardcoded
 - auf Memory, gedruckt (Uni Minnesota)
- Vorschriften zur Energieeffizienz im RZ (vgl. EnEV)
 - z. B. maximale Wärmeabgabe/Stromaufnahme (System, nicht CPU)



- RSS-Feeds
<http://www.golem.de/>
<http://www.theregister.co.uk/>
- Google Alerts
- c't, Kolumne „Prozessorgeflüster“
- Hersteller
Webseiten R&D
- Wikipedia
<http://en.wikipedia.org/>

**Danke für die Aufmerksamkeit.
Fragen?**

**best OpenSystems Day
Mai 2011**

Unterführung

Wolfgang Stief
wolfgang.stief@best.de

Senior Systemingenieur
best Systeme GmbH
GUUG Board Member

